*Introducción a los sistemas lógicos y digitales.* **Parcial 2do Módulo 05-07-12.**

**1)** Responder verdadero **(V)**, falso **(F)** o completar los espacios según corresponda. **(6 puntos)**

1- En TTL:

El margen de ruido de TTL standart es de \_\_\_\_ V.

La ALS tiene mayor margen de ruido. ( )

2- Un ADC de aproximaciones sucesivas:

Usa DAC ( ). El SAR puede hacerse con máquina de estados. ( )

3- PECL:

Diseño totalmente distinto a ECL. ( ) FF con frecuencia máxima típica de \_\_\_\_\_ MHz.

4- Máquina de Moore:

Un FF JK insume \_\_\_\_ estados. Un contador BCD de 1 dígito insume \_\_\_\_\_ estados.

5- EPM7128: Un LAB contiene \_\_\_\_ macroceldas. Tensión de alimentación de \_\_\_\_ V.

6- MAX II:

Es una placa FPGA basada en memoria de tipo \_\_\_\_\_\_. Se considera como reemplazo de la \_\_\_\_\_\_.

7- La FPGA empleada en el laboratorio tiene \_\_\_\_ LE’s. (elementos lógicos)

8- La FPGA difiere de la EPLD:

En el método de programación JTAG. ( ) En estructura lógica combinatoria. ( )

9- VHDL: Complete para completar reloj con flanco descendente:

WAIT UNTIL ( );

10- ¿Qué familias se emplearon en el laboratorio?

Cyclone ( ) Spartan ( ) Stratix ( ) Virtex ( )

11- El margen de ruido en CMOS @ 5V es \_\_\_\_ V, y la salida a nivel bajo es \_\_\_\_ V.

12- PROASIC3: Es una CPLD. ( )

Emplea FLASH para programación y puede emular RAM. ( )

**2)** Implementar con compuertas CMOS complejas la función lógica negada de F=AD(B+C)

Dibujar el circuito y explicar en forma textual el funcionamiento. **(4 puntos)**